



(19)

(11) Publication number: **03272146 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **02074031**(51) Intl. Cl.: **H01L 21/336 H01L 21/265 H01L 29/784**(22) Application date: **22.03.90**

(30) Priority:

(43) Date of application publication: **03.12.91**

(84) Designated contracting states:

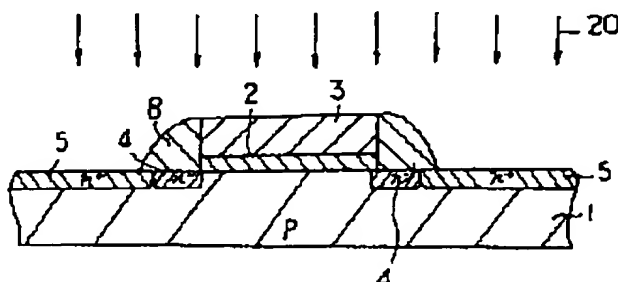
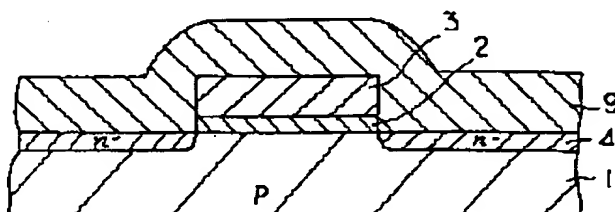
(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **YOSHIYAMA KENJI
WATABE KIYOTO**

(74) Representative:

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To contrive to prevent a channeling from being generated by a method wherein ions of a mass sufficient for bringing into an amorphous state are implanted.

CONSTITUTION: Sb⁺ is ion-implanted in an accelerating voltage of 70KeV and at a dose of 1×10^{14} piece/cm² using a gate electrode as a mask and n⁻ low-concentration regions 4 brought into an amorphous state are formed. An oxide film 9 is deposited by an LPCVD method. Then, an entire surface etching is performed by reactive ion etching having a characteristic of anisotropy and the film 9 is etched so that a silicon substrate 1 is exposed. Parts of the film 9 remain on the electrode 3, the electrode 3 over the step parts between a gate insulating film 2 and the substrate 1, both end parts of the film 2 and the sidewall parts of the electrode 3 by the film thickness difference of the film 9 as a gate sidewall oxide film 8. After that, ions are implanted 20 using the electrode 3 and the film 8 as masks and n⁺ high-concentration regions 5 are formed. The regions 4 and 5 are subjected to activation treatment and a prescribed treatment is performed. Thereby, a process can be shortened and the generation of a channeling is prevented even by an ion-implantation of a high-concentration impurity.



COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A)

平3-272146

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成3年(1991)12月3日

H 01 L 21/336
21/265
29/7848422-4M H 01 L 29/78 3 0 1 L
7738-4M 21/265 L

審査請求 未請求 請求項の数 1 (全4頁)

⑥ 発明の名称 半導体装置の製造方法

② 特 願 平2-74031

② 出 願 平2(1990)3月22日

⑦ 発 明 者 吉 山 健 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑦ 発 明 者 渡 部 毅 代 登 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑧ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑧ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極をマスクに上記基板に上記基板を非晶質化させるべき質量を有する、第2導電型の不純物イオンを注入してソース・ドレインとなるべき低濃度領域を形成する第1の工程と、

上記ゲート電極を被覆するように上記基板上に酸化膜を形成した後、異方性エッチングを施し、上記基板の主面が露出するように上記酸化膜を除去し、上記ゲート電極、ゲート絶縁膜の側壁に上記酸化膜の一部を残存させる第2の工程と、

上記ゲート電極、残存された酸化膜の一部をマスクに、上記基板に第2導電型の不純物イオンを注入し、上記低濃度領域よりは高濃度のソース・ドレインとなるべき高濃度領域を形成させる第3の工程とを含む半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置の製造方法に関し、特に Lightly Doped Drain(以下、LDD と称す)構造の絶縁ゲート電界効果トランジスタを有する半導体装置の製造方法に関するものである。

〔従来の技術〕

LDD 構造を形成する場合、形成後の低温の熱処理が不可欠である。しかしながら、低濃度のソース・ドレイン領域はアモルファス状態でない場合、低い熱処理温度では注入した不純物の活性化が不充分となる。そこで、この改善策として、例えば、シリコン注入を行ってアモルファス化を実現し、活性化を図る技術が用いられていた。

第2図(a)～(d)は従来のこの種の半導体装置の製造方法の主要工程を示す断面図である。

まず、第2図(a)に示すように、P型シリコン基板(1)にゲート絶縁膜(2)およびゲート電極(3)を形成し、このゲート電極(3)をマスクとして、例えば、シリコンイオン(30)をイオン注入す

ることで、非晶質化したソース・ドレインとなるべき非晶質領域(21)を形成する。

次に、第2図(b)に示すように、低濃度のn型不純物イオン(40)をイオン注入し、非晶質化したソース・ドレインとなる低濃度n型領域(4)を形成する。

次に、第2図(c)に示すように、Low Pressure Chemical Vapour Deposition (低圧化学気相成長; 以下、LPCVD と称す) 法で酸化膜(9)を堆積する。

次に、第2図(d)に示すように、異方性エッチング(Reactive Ion Etching)によって、ゲート電極(3)、ゲート絶縁膜(2)の側壁(Side Wall)にだけ酸化膜(9)の一部を残してゲート側壁酸化膜(8)を形成し、その後、ゲート電極(3)とゲート側壁酸化膜(8)をマスクにして、高濃度のn型不純物(20)をイオン注入し、高濃度n型領域(5)と低濃度n型領域(4)からなるソース・ドレイン領域を形成する。これによりDD構造のトランジスタが形成される。

(3)

程と、

上記ゲート電極を被覆するように上記基板上に酸化膜を形成した後、異方性エッチングを施し、上記基板の主面が露出するように上記酸化膜を除去し、上記ゲート電極、ゲート絶縁膜の側壁に上記酸化膜の一部を残存させる第2の工程と、

上記ゲート電極、残存された酸化膜の一部をマスクに、上記基板に第2導電型の不純物イオンを注入し、上記低濃度領域よりは高濃度のソース・ドレインとなるべき高濃度領域を形成させる第3の工程とを含むものである。

[作用]

この発明における低濃度領域を形成させるイオン注入は、これによって基板も非晶質化される。そのため、同時に形成可能となるばかりか、高濃度領域を形成させる際にも、性能劣化が防止される機能を有する。

[実施例]

以下、この発明の一実施例を図について説明する。第1図(a)～(c)は、この発明の一実施例に

[発明が解決しようとする課題]

以上のように低温プロセスでLDD構造を形成するために、先ず非晶質領域(21)を形成するイオン注入(30)工程が必要であった。しかしながら、この方法では、非晶質化させるためのイオン注入(30)工程と、不純物領域(4)、(5)を形成させるためのイオン注入(40)、(20)とが必要であり、工程が長くなってしまうという問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、非晶質領域を形成するのみの工程が不要にできて、低温プロセスでLDD構造を形成することが可能な半導体装置の製造方法を提供することを目的とする。

[課題を解決するための手段]

この発明に関する半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極をマスクに上記基板に上記基板を非晶質化させるべき質量を有する、第2導電型の不純物イオンを注入してソース・ドレインとなるべき低濃度領域を形成する第1の工

(4)

による半導体装置の製造方法の主要工程を示す断面図である。図中、第2図と同一符号は同一、または相当部分を示す。

先ず、第1図(a)に示すように、P型シリコン基板(1)上にゲート絶縁膜(2)およびゲート電極(3)を形成する。次に、ゲート電極(3)をマスクとして、例えば、アンチモンイオン(Sb⁺)を加速電圧70KeV、ドーズ量 1×10^{14} 個/cm²程度でイオン注入(10)する。これによって非晶質化したn型低濃度領域(4)が形成される。

次に、第1図(b)に示すようにLPCVD法により、ゲート電極(3)、ゲート絶縁膜(2)を被覆するように酸化膜(9)を所定膜厚に堆積する。

次に、第1図(c)に示すように、異方性の特性を有する反応性イオンエッチングによって全面エッチングを施し、酸化膜(9)をシリコン基板(4)が露出するようにエッチングする。

これにより酸化膜(a)の膜厚差によって、ゲート電極(3)、ゲート絶縁膜(2)とシリコン基板(1)との段差部のゲート電極(3)、ゲート絶縁膜

(5)

(5)

(2) 側壁部に酸化膜(9)の一部が残存する。これがゲート側壁酸化膜(8)である。その後、ゲート電極(3)部、ゲート側壁酸化膜(8)をマスクにして、例えば、砒素イオン(As^+)を加速電圧50KeV、ドーズ量 4×10^{15} 個/cm² 程度でイオン注入(20)し、高濃度n型領域(5)を形成する。これによりLDD構造のトランジスタが形成される。

なお、この後、ソース、ドレインとなるべき低濃度n型領域(4)、高濃度n型領域(5)が活性化処理され、さらに所定の処理が行われて半導体装置が完成される。

このように、非晶質化と低濃度不純物領域との形成が、一度のイオン注入(10)で行なえるため、工程が少なく、工程短縮が図られる。

また、チャネリングが防止され、或いは接合形成も可能である。

なお、前記実施例ではNチャネル絶縁ゲート電界効果トランジスタを有する半導体装置を製造する場合について述べたが、これに限らず、n型の基板を用い、これにP型不純物イオン、例えばイン

ジウムイオンを注入することにより、Pチャネル絶縁ゲート電界効果トランジスタを有する半導体装置を形成する場合にも適用されるものである。

[発明の効果]

以上のようにこの発明によれば、非晶質化するに十分な質量をもつイオンを注入することにより、非晶質化させるとともに、低濃度不純物領域を形成させるようにしたので、工程を短縮できるばかりか、次の高濃度不純物イオン注入によっても、チャネリングが防止され、浅い接合が形成可能となる効果を有する。

4. 図面の簡単な説明

第1図(a)～(c)はこの発明の一実施例の半導体装置の製造方法を示す断面図、第2図(a)～(d)は従来の半導体装置の製造方法を示す断面図である。

図において(1)はシリコン基板、(2)はゲート絶縁膜、(3)はゲート電極、(4)は非晶質化した低濃度領域、(5)は高濃度領域、(8)はゲート側壁酸化膜、(10)は低濃度のn型不純物イオン注

(7)

(8)

入、(20)は高濃度不純物イオン注入である。

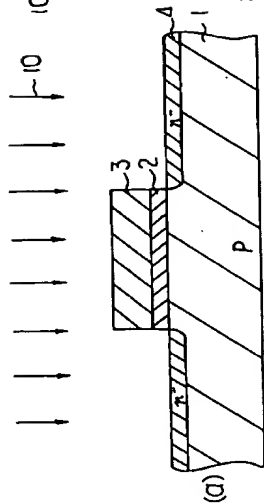
なお、各図中同一符号は同一、または相当部分を示す。

代理人 大 岩 増 雄

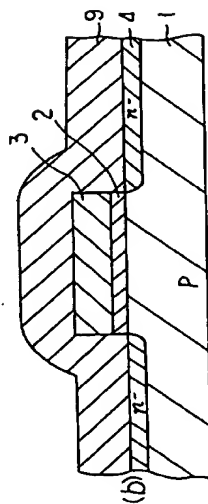
(9)

第 1 図

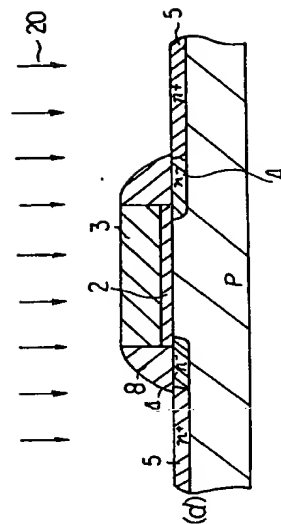
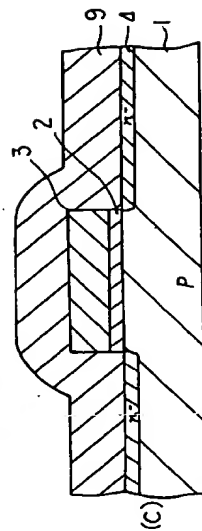
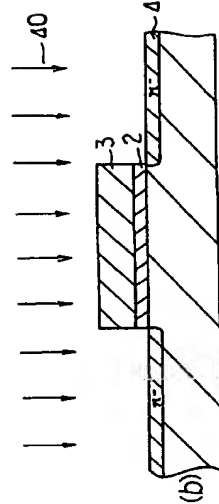
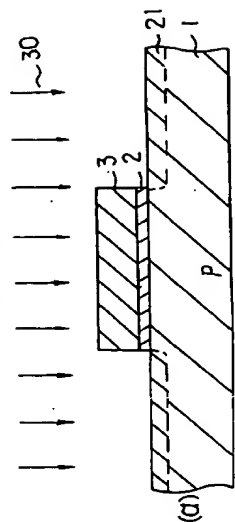
(10) N 型不純物注入



- 1: シリコン基板
- 2: ゲート電極膜
- 3: ゲート絶縁膜
- 4: 非晶質化層
- 5: 依濃度領域



第 2 図



- 20: N 型不純物注入
- 5: 高濃度領域
- 8: ゲート側壁酸化膜

